

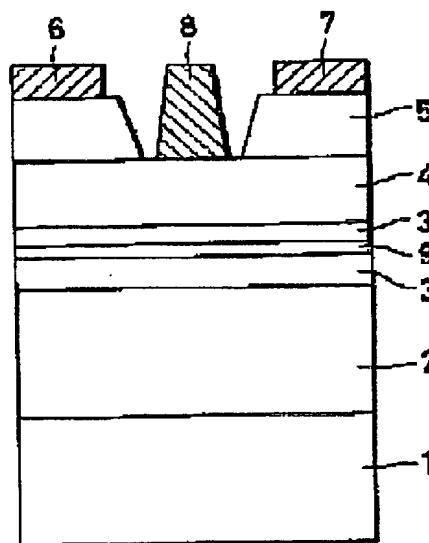
HIGH ELECTRON MOBILITY FIELD EFFECT SEMICONDUCTOR DEVICE

Patent number: JP6084959
Publication date: 1994-03-25
Inventor: SAITO JUNJI
Applicant: FUJITSU LTD
Classification:
- international: H01L21/338; H01L29/812
- european:
Application number: JP19920237933 19920907
Priority number(s):

[Report a data error here](#)**Abstract of JP6084959**

PURPOSE: To increase two-dimensional electron gas concentration and to increase carrier mobility by so simply modifying as to insert an Inlays layer, an Inks layer itself having large Inks composition ratio into an Inlays channel layer.

CONSTITUTION: A GaAs. buffer layer 2, an Inlays channel layer 3, an Inks channel layer 9, an Inlays channel layer 3, an AlGaAs carrier supply layer 4, a GaAs cap layer 5 are sequentially laminated on a semi-insulating GaAs substrate 1. A contact of the layer 5 is provided and a source electrode 6, a drain electrode 7 arranged at an interval are provided. A gate electrode 8 in contact with the AlGaAs carrier supply layer between the electrodes 6 and 7 is provided. Thus, a hetero structure of high quality is provided, and excellent low noise characteristics are obtained.



Data supplied from the **esp@cenet** database - Patent Abstracts of Japan

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-84959

(43)公開日 平成6年(1994)3月25日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 01 L 21/338
29/812

7376-4M

H 01 L 29/80

H

審査請求 未請求 請求項の数13(全 11 頁)

(21)出願番号

特願平4-237933

(22)出願日

平成4年(1992)9月7日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 斎藤 淳二

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 柏谷 昭司 (外1名)

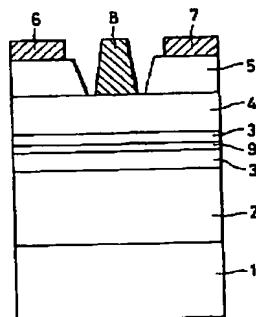
(54)【発明の名称】高電子移動度電界効果半導体装置

(57)【要約】

原理を解説する為のHEMTを表す要部断面図

【目的】高電子移動度電界効果半導体装置に関し、歪層の組成比と層厚との関係で、ヘテロ界面近傍に於ける組成比を大とすることで電子親和力の差を大きくしても、結晶欠陥の導入がなく、高品质のヘテロ構造となり、2DEG濃度が十分に高く、従って、低雑音特性が優れているものを得られるようにする。

【構成】半絶縁性GaAs基板1上に順に積層したGaAsバッファ層2及びInGaAsチャネル層3及びInAsチャネル層9及びInGaAsチャネル層3及びAlGaAsキャリヤ供給層4及び前記AlGaAsキャリヤ供給層4と同導電型のGaAsキャップ層5を含む多層ヘテロ構造と、前記GaAsキャップ層5にコンタクトすると共に間隔をおいて配設されたソース電極6及びドレイン電極7と、前記ソース電極6とドレイン電極7との間に在って前記AlGaAsキャリヤ供給層4にコンタクトするゲート重極8とを備える。



1:半絶縁性GaAs基板
2:GaAsバッファ層
3:InGaAsチャネル層
4:AlGaAsキャリヤ供給層
5:GaAsキャップ層
6:ソース電極
7:ドレイン電極
8:ゲート電極
9:InAsチャネル層

1

2

【特許請求の範囲】

【請求項1】半絶縁性G a A s基板上に順に積層したノンドープG a A sバッファ層及びノンドープIn G a A sチャネル層及びノンドープIn A sチャネル層及びノンドープIn G a A sチャネル層及び二次元キャリヤ・ガスを生成させるのに必要な不純物を含有したA 1 G a A sキャリヤ供給層及び前記A 1 G a A sキャリヤ供給層と同導電型のG a A sキャップ層を含む多層ヘテロ構造と。

前記G a A sキャップ層にコンタクトすると共に間隔をおいて配設されたソース電極及びドレイン電極と、前記ソース電極とドレイン電極との間に在って前記A 1 G a A sキャリヤ供給層にコンタクトするゲート電極とを備えてなることを特徴とする高電子移動度電界効果半導体装置。

【請求項2】基板側から順に積層したIn G a A sチャネル層及びIn A sチャネル層及びIn G a A sチャネル層及びA 1 G a A sキャリヤ供給層及びG a A sキャップ層からなる積層体の下地がノンドープA 1 G a A sバッファ層であることを特徴とする請求項1記載の高電子移動度電界効果半導体装置。

【請求項3】A 1 G a A sキャリヤ供給層を二次元キャリヤ・ガスを生成させるのに必要な不純物を含有したIn G a Pキャリヤ供給層に代替してなることを特徴とする請求項1或いは2記載の高電子移動度電界効果半導体装置。

【請求項4】A 1 G a A sバッファ層をノンドープIn G a Pバッファ層に代替すると共にA 1 G a A sキャリヤ供給層をIn G a Pキャリヤ供給層に代替してなることを特徴とする請求項2記載の高電子移動度電界効果半導体装置。

【請求項5】In G a A sチャネル層及びIn A sチャネル層及びIn G a A sチャネル層からなる積層体が量子井戸をなしていることを特徴とする請求項1或いは請求項2或いは請求項3或いは請求項4記載の高電子移動度電界効果半導体装置。

【請求項6】In A sチャネル層が介挿されたIn G a A sチャネル層の複数の積層体を備えてなることを特徴とする請求項1或いは請求項2或いは請求項3或いは請求項4記載の高電子移動度電界効果半導体装置。

【請求項7】In A sチャネル層が介挿されたIn G a A sチャネル層からなる複数の積層体が多重量子井戸をなしていることを特徴とする請求項6記載の高電子移動度電界効果半導体装置。

【請求項8】キャリヤ供給層の下地がノンドープの同じ材料で構成されたスペーサ層であることを特徴とする請求項1或いは請求項2或いは請求項3或いは請求項4或いは請求項5或いは請求項6或いは請求項7記載の高電子移動度電界効果半導体装置。

【請求項9】キャップ層がキャリヤ供給層と同導電型の

50

【0004】

In G a A sを含んでなることを特徴とする請求項1或いは請求項2或いは請求項3或いは請求項4或いは請求項5或いは請求項6或いは請求項7或いは請求項8記載の高電子移動度電界効果半導体装置。

【請求項10】チャネル層を構成するIn, Ga_{1-y}, Asに於けるIn A s組成比yが0.1~0.3の範囲で選択されてなることを特徴とする請求項1或いは請求項2或いは請求項3或いは請求項4記載の高電子移動度電界効果半導体装置。

【請求項11】キャリヤ供給層を構成するAl_xGa_{1-x}A sのAl A s組成比xが0~0.3の範囲で選択されてなることを特徴とする請求項1或いは請求項2記載の高電子移動度電界効果半導体装置。

【請求項12】チャネル層を構成するIn, Ga_{1-y}, Asに於けるIn A s組成比yが0.1~0.3の範囲で選択されてなることを特徴とする請求項11記載の高電子移動度電界効果半導体装置。

【請求項13】In G a A sチャネル層及びIn A sチャネル層及びIn G a A sチャネル層からなる積層体を基板側から順に積層したノンドープIn_yGa_{1-y}A sチャネル層及びノンドープIn_yGa_{1-y}A sチャネル層からなる積層体に代替し且つIn_yGa_{1-y}A sはIn_yGa_{1-y}A sと比較してIn A sの組成比がy₂>y₁であることを特徴とする請求項1或いは請求項2或いは請求項5或いは請求項6或いは請求項7記載の高電子移動度電界効果半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、二次元電子ガス層をチャネルとして利用する電界効果半導体装置、即ち、高電子移動度電界効果半導体装置の改良に関する。

【0002】現在、単結晶半導体基板上に多層或いはヘテロ構造をなすエピタキシャル成長半導体層を成長させ、新しい電子デバイスや光デバイスが実現されている。例えば、G a A s層及びS iドーピングA 1 G a A s層からなるヘテロ・エピタキシャル構造、即ちG a A s/A 1 G a A sヘテロ・エピタキシャル構造は、ヘテロ界面に於けるG a A s層側に高い電子移動度をもった二次元電子ガス(2 D E G)層が生成されるので、この2 D E G層をチャネルに利用する電界効果トランジスタがHEMT(h i g h e l e c t r o n m o b i l i t y t r a n s i s t o r)である。

【0003】このHEMTは、エピタキシャル成長技術の進歩に起因して初めて実現された新しい電子デバイスの一つであって、その優れた低雑音特性を活かして、例えば衛星通信や衛星放送に於ける增幅器として活躍しているのであるが、未だ改良されなければならない点が存在している。

【従来の技術】従来のHEMTに於いては、2DEG層に於ける二次元電子ガス濃度を大きくする為、AlGaAs層に対するSiのドーピング濃度を高めたり、GaAsとAlGaAsとの間の電子親和力の差を大きくする、即ち、AlGaAsに於けるAlAsの組成比を大きくするなどの試みがなされている。

【0005】然しながら、AlGaAs層には、Siドナー不純物に起因する深い電子トラップ準位でなるDXセンタが存在し、前記したようにSiのドーピング濃度を高めたり、AlAsの組成比を大きくした場合、このDXセンタの濃度が増大する為、HEMTの電気的特性が知つて劣化することが知られている。

【0006】この問題を解決する為の方法として、GaAs/AlAsヘテロ構造に替え、二次元電子ガス層が生成されるチャネル層をGaAsに比較して更に電子親和力が大きいInGaAsとしたInGaAs/AlGaAsヘテロ構造が現れている。

【0007】図8はInGaAs/AlGaAsヘテロ構造を用いたHEMTを表す要部切断側面図である。図中、1は半絶縁性GaAs基板、2はノンドープGaAsバッファ層、3はノンドープInGaAsチャネル層、4はn型AlGaAsキャリヤ供給層、5はn型GaAsキャップ層、6はソース電極、7はドレイン電極、8はゲート電極をそれぞれ示している。

【0008】このHEMTに於いて、ノンドープInGaAsチャネル層3は、厚さ例えば100[Å]～200[Å]であって、実際にはIn_xGa_{1-x}As(0.1≤x≤0.25)を材料とし、n型AlGaAsキャリヤ供給層4との界面近傍に生成される2DEGをチャネル電流として用いるものである。

【0009】通常、InGaAsはGaAsに比較して電子親和力が大きいことから、GaAs/AlGaAsヘテロ構造に比較して伝導帯の底に於けるエネルギー・バンド不連続幅が大きく、その結果、ヘテロ界面近傍のInGaAsチャネル層3側に蓄積される2DEGの濃度は、従来のGaAs/AlGaAsヘテロ構造に比較して二倍程度は増加する。この2DEG濃度の増加は、HEMTの低雑音特性を向上させるのに有効であることが知られている。

【0010】

【発明が解決しようとする課題】前記したように、In_xGa_{1-x}Asに於けるInAs組成比yを大きくし、また、Al_xGa_{1-x}Asに於けるAlAs組成比xを大きくしたAlGaAs/InGaAsヘテロ構造を形成すれば、電子親和力の差が大きくなることは良いとしても、現実的には、AlGaAsとの間の結晶格子不整合、或いは、バッファ層(又は基板)であるGaAsとの間の結晶格子不整合が大きくなってしまい、品質良好な単結晶を成長させることができない。

【0011】この為、通常、AlGaAsに於けるAl

50 As組成比xは0.3以下とし、また、InGaAsに於けるInAs組成比yは0.2程度とし、そして、層厚は150[Å]程度としている。このInGaAs層の層厚は、その組成比yの大きさに依ってGaAsとの間で結晶欠陥を生じないで成長が可能な層厚(臨界層厚)に制限される。

【0012】InAs組成比yとInGaAs層の層厚との関係については、理論的な計算に依るマテウス(Mathews)のモデルや、ホトルミネンセンス(photo luminescence: PL)測定、ホール(Hall)測定、反射高速電子線回折(RHEED)測定などによる実験結果などから、幾つかの値が文献に紹介されている。

【0013】例えば、内田等は、ヘテロ界面近傍のキャリヤ濃度を測定する方法で、前記臨界層厚を実験的に調べている。図9はGaAs/In_xGa_{1-x}As/GaAsヘテロ構造に於けるInGaAs層臨界層厚とIn組成xとの関係を表す線図である(要すれば、「電子通信学会技術報告研究 ED88-94(1988) pp 9~14」を参照)。図に於いて、N_{ext}はヘテロ界面近傍のキャリヤ濃度を示している。

【0014】本発明では、ヘテロ構造に於ける電子親和力の差を大きくして2DEG濃度を高める場合に於いて、歪層の組成比と層厚との関係で、ヘテロ界面近傍に於ける組成比を大きくすることで電子親和力の差を大きくしても、結晶欠陥の導入がなく、高品質のヘテロ構造となり、2DEG濃度は十分に高く、従つて、低雑音特性が優れているものを得られるようとする。

【0015】

【課題を解決するための手段】図1は本発明の原理を解説する為のHEMTを表す要部切断側面図であり、図8に於いて用いた記号と同記号は同部分を表すか或いは同じ意味を持つものとする。

【0016】図示のHEMTが図8に見られるHEMTと相違するところはノンドープInGaAsチャネル層3内にノンドープInAsチャネル層9を介挿したところにある。このノンドープInAsチャネル層9は、図示されているような単層ではなくて、複数層に分けて介挿しても良く、また、純粋なInAsを材料とするものでなくても、ノンドープInGaAsチャネル層3に比較してInAsの組成比が大きいノンドープInGaAs層であっても良い。

【0017】前記したところから、本発明に依る高電子移動度電界効果半導体装置に於いては、(1)半絶縁性GaAs基板(例えば半絶縁性GaAs基板1)上に順に成長させたノンドープGaAsバッファ層(例えばノンドープGaAsバッファ層2)及びノンドープInGaAsチャネル層(例えばノンドープInGaAsチャネル層3)及びノンドープInAsチャネル層(例えばノンドープInAsチャネル層9)及びノンドープIn

GaAsチャネル層（例えばノンドープInGaAsチャネル層3）及び二次元キャリヤ・ガスを生成させるのに必要な不純物を含有したAlGaAsキャリヤ供給層（例えばS₁ドープのn型AlGaAsキャリヤ供給層4）及び前記AlGaAsキャリヤ供給層と同導電型のGaAsキャップ層（例えばS₁をドープしたn型GaAsキャップ層5）を含む多層ヘテロ構造と、前記AlGaAsキャリヤ供給層と同導電型のGaAsキャップ層にコンタクトすると共に間隔をおいて配設されたソース電極（例えばソース電極6）及びドレイン電極（例えばドレイン電極7）と、前記ソース電極とドレイン電極との間に在って前記AlGaAsキャリヤ供給層にコンタクトするゲート電極（例えばゲート電極8）とを備えてなることを特徴とするか、或いは、

【0018】(2) 前記(1)に於いて、順に成長されたInGaAsチャネル層及びInAsチャネル層及びInGaAsチャネル層及びAlGaAsキャリヤ供給層及びGaAsキャップ層からなる積層体の下地がノンドープAlGaAsバッファ層（例えばノンドープAl_{0.25}Ga_{0.75}Asバッファ層20）であることを特徴とするか、或いは、

【0019】(3) 前記(1)或いは(2)に於いて、AlGaAsキャリヤ供給層を二次元キャリヤ・ガスを生成させるのに必要な不純物を含有したInGaPキャリヤ供給層（例えばS₁ドープのn型InGaPキャリヤ供給層21）に代替してなることを特徴とするか、或いは、

【0020】(4) 前記(2)に於いて、AlGaAsバッファ層とAlGaAsキャリヤ供給層とをInGaPバッファ層とInGaPキャリヤ供給層（例えばS₁ドープのn型InGaPキャリヤ供給層21）とに代替してなることを特徴とするか、或いは、

【0021】(5) 前記(1)或いは(2)或いは(3)或いは(4)に於いて、InGaAsチャネル層及びInAsチャネル層及びInGaAsチャネル層からなる積層体が量子井戸をなしていることを特徴とするか、或いは、

【0022】(6) 前記(1)或いは(2)或いは(3)或いは(4)に於いて、InAsチャネル層が介挿されたInGaAsチャネル層の複数の積層体を備えてなることを特徴とするか、或いは、

【0023】(7) 前記(6)に於いて、InAsチャネル層が介挿されたInGaAsチャネル層からなる複数の積層体が多重量子井戸をなしていることを特徴とするか、或いは、

【0024】(8) 前記(1)或いは(2)或いは(3)或いは(4)或いは(5)或いは(6)或いは(7)に於いて、キャリヤ供給層の下地がノンドープの同じ材料で構成されたスペーサ層であることを特徴とするか、或いは、

【0025】(9) 前記(1)或いは(2)或いは(3)或いは(4)或いは(5)或いは(6)或いは(7)或いは(8)に於いて、キャップ層がキャリヤ供給層と同導電型のInGaAsを含んでなることを特徴とするか、或いは、

【0026】(10) 前記(1)或いは(2)或いは(3)或いは(4)に於いて、チャネル層を構成するIn, Ga_{1-x}Asに於けるInAs組成比yが0.1～0.3の範囲で選択されてなることを特徴とするか、或いは、

【0027】(11) 前記(1)或いは(2)に於いて、キャリヤ供給層を構成するAl_xGa_{1-x}AsのAlAs組成比xが0～0.3の範囲で選択されてなることを特徴とするか、或いは、

【0028】(12) 前記(11)に於いて、チャネル層を構成するIn, Ga_{1-x}Asに於けるInAs組成比yが0.1～0.3の範囲で選択されてなることを特徴とするか、或いは、

【0029】(13) 前記(1)或いは(2)或いは(5)或いは(6)或いは(7)に於いて、InGaAsチャネル層及びInAsチャネル層及びInGaAsチャネル層からなる積層体をノンドープIn,₁Ga_{1-x}Asチャネル層及びノンドープIn,₂Ga_{1-x}Asチャネル層及びノンドープIn,₁Ga_{1-x}Asチャネル層からなる積層体に代替し且つIn,₂Ga_{1-x}AsはIn,₁Ga_{1-x}Asと比較してInAsの組成比がy₂ > y₁であることを特徴とする。

【0030】

【作用】図1に見られる通り、本発明に於いては、従来例として図8について説明したInGaAs歪層チャネル構造、即ちシード・モルフィック(pseudomorphic)結晶構造のInGaAs歪層からなるチャネル層内に更にInAsからなるチャネル層或いはInAsの組成比が大きいInGaAsからなるチャネル層を介挿した構造になっている。

【0031】即ち、従来から用いられている組成のInGaAsチャネル層を緩衝層として利用し、InAs組成比が大きいInGaAs層或いはInAs層を介挿して結晶欠陥の発生を緩和して、InAs組成比が大きいInGaAsチャネル層を用いることが困難であった原因を取り除いている。

【0032】図2は図1に表したHEMTに於けるエネルギー・バンド・ダイヤグラムであって、便宜上、伝導帯の底のみを表し、図1に於いて用いた記号と同記号は同部分を表すか或いは同じ意味を持つものとする。図に於いて、E_Cは伝導帯の底、E_Fはフェルミ・レベルをそれぞれ示している。

【0033】図から判るように、本発明に依るHEMTでは、従来のHEMTに於けるノンドープInGaAsチャネル層のポテンシャル井戸中にInAsチャネル層

に依る更に深いポテンシャル井戸（層厚の如何に依っては量子井戸）が生成されている。

【0034】通常、InGaAsはAlGaAsやGaAsよりも電子親和力が大きく、その為、GaAs/AlGaAsヘテロ構造に比較して伝導帯の底Ecの不連続幅を大きくとることができ、従ってヘテロ界面に生成される2DEG濃度は高くなる。

【0035】ところで、In_xGa_{1-x}Asに於けるInAs組成比yを大きくするにつれて伝導帯の底Ecの不連続幅は大きくなるから、2DEG濃度は増大する筈である。然しながら、InAsはGaAsに比較して格子定数が約7[%]大きく、GaAs層上やAlGaAs層上にInGaAs層を成長させる場合には、InAsの組成を0.3以下にし、且つ、InGaAs層の層厚も臨界層厚以下にすることが必要である。この制限を破った場合には、結晶欠陥が導入され、良質な単結晶成長は不可能となる。

【0036】本発明では、前記したところから明らかなように、GaAs層やAlGaAs層に接する部分には従来通りのInGaAs層を用い、このInGaAs層中にInAs組成比が大きいIn_xGa_{1-x}As層、或いはInAs層そのものを介挿し、より大きい電子親和力をもつチャネル層を実現しているのである。

【0037】一般に、高純度のGaAs結晶に於ける電子移動度は室温で8500 [cm²/V·s] であり、また、高純度のInAs結晶に於ける電子移動度は室温で33000 [cm²/V·s] 程度であることが知られている。従って、InGaAsのみからなるチャネル層に比較し、InAsからなるチャネル層を介挿した場合には、2DEG濃度が増加するのみならず、電子移動度も増加するから、本発明のヘテロ構造を用いたHEMTの性能は大きく向上する。

【0038】

【実施例】図3は本発明に於ける第一実施例を解説する為のHEMTを表す要部切断側面図であり、図1に於いて用いた記号と同記号は同部分を表すか或いは同じ意味を持つものとする。

【0039】第一実施例を製造する場合の工程を説明すると次の通りである。

3-(1)

分子線エピタキシャル成長(molecular beam epitaxy: MBE)法を適用することに依って、面指数が(100)である半絶縁性GaAs基板11に次の各半導体層を順に成長させる。

ノンドープGaAsバッファ層12:厚さ0.6 [μm]

ノンドープIn_{0.2}Ga_{0.8}Asチャネル層13:厚さ6 [nm]

ノンドープInAsチャネル層19:厚さ5 [nm]

ノンドープIn_{0.2}Ga_{0.8}Asチャネル層13:厚さ50

4 [nm]

n型Al_{0.25}Ga_{0.75}Asキャリヤ供給層14:厚さ50 [nm]

n型GaAsキャップ層15:100 [nm]

尚、キャリヤ供給層14及びキャップ層15にはn型不純物としてSiをドーピングしてあり、そのドーピング濃度は10¹⁸ [cm⁻³]とした。

【0040】このウエハの段階で、2DEG特性をホール(Hall)測定に依って評価したところ、77 [K]での移動度μが12000 [cm²/V·s]、2DEG濃度n_sが3.5×10¹² [cm⁻²]であった。これらの値は、図8に見られる従来例に於けるチャネル層、即ち、厚さ15 [nm]のノンドープIn_{0.2}Ga_{0.8}Asチャネル層を用いた場合に比較すると、移動度μが約30[%]、2DEG濃度n_sが約40[%]もそれぞれ増大している。

【0041】3-(2)

前記のようにして作成したウエハに対して、真空蒸着法を適用することに依り、厚さ例えば100 [nm]/300 [nm]のAuGe/Au膜を形成する。

3-(3)

リソグラフィ技術に於けるレジスト・プロセス、蒸着法、リフト・オフ法を適用することに依って、AuGe/Au膜のパターニングを行ってソース電極16及びドレイン電極17を形成する。

【0042】3-(4)

リソグラフィ技術に於けるレジスト・プロセス及びエッティング・ガスを(CF₄+CHF₃)とする反応性イオン・エッティング(reactive ion etching: RIE)法を適用することに依り、n型GaAsキャップ層15をエッティングしてゲート・リセス15Aを形成する。

3-(5)

ゲート・リセス15Aを形成した際にマスクとして用いたレジスト膜をそのまま残した状態で、蒸着法を適用することに依り、厚さ例えば300 [nm]のAl膜を形成する。

3-(6)

レジスト膜の剥離液中に浸漬し、レジスト膜上のAl膜40をリフト・オフ法に依って除去することでゲート電極18を形成する。

【0043】前記のようにして完成させたHEMTの雑音指数NFを測定したところ、12 [GHz]で0.45 [dB]が得られ、また、その時の利得は12 [dB]であった。この雑音指数NFの値は、前記した従来のノンドープIn_{0.2}Ga_{0.8}Asチャネル層のみを用いた場合と比較して約20[%]の改善である。

【0044】図4は本発明に於ける第二実施例を解説する為のHEMTを表す要部切断側面図であり、図1に於いて用いた記号と同記号は同部分を表すか或いは同じ意

味を持つものとする。第二実施例が第一実施例と相違するところは、ノンドープGaAsバッファ層12と基板側のノンドープIn_{0.2}Ga_{0.8}Asチャネル層13との間にノンドープAl_{0.25}Ga_{0.75}Asバッファ層20を介挿した点にある。尚、この場合、ノンドープGaAsバッファ層12の厚さは0.5[μm]であり、また、ノンドープAl_{0.25}Ga_{0.75}Asバッファ層20の厚さは0.1[μm]であって、合計して第一実施例のノンドープGaAsバッファ層12の厚さと同様に0.6[μm]となるようにしてある。

【0045】前記のようにする理由は、本発明が特徴とするノンドープInAsチャネル層19及び一部電子のしみ出し即ち波動関数のしみ出しがあると考えられる厚さ6[nm]と4[nm]の基板側及び表面側ノンドープIn_{0.2}Ga_{0.8}Asチャネル層13に対して、その直下にAlGaAsからなるバッファ層20を導入することに依って、GaAs層のみの場合に比較して伝導帯の底に於ける不連続が大きくなるようにして、電子のバッファ層側へのしみ出しを抑制することができることに依る。これをHEMTの静特性で言うならば、I-V(電流-電圧)特性に於いて、飽和のカーブが平坦になり、ピンチ・オフ特性が良好になることを意味する。

【0046】図5は本発明に於ける第三実施例を解説する為のHEMTを表す要部切断側面図であり、図1に於いて用いた記号と同記号は同部分を表すか或いは同じ意味を持つものとする。第三実施例が第一実施例と相違するところは、n型Al_{0.25}Ga_{0.75}Asキャリヤ供給層14をS1ドープしたn型InGaPキャリヤ供給層21に代替した点にある。

【0047】本来、InGaP層は、AlGaAs層に比較してエネルギー・バンド・ギャップが狭い為、InGaAs層に対して伝導帯の底に於ける不連続は小さくなり、従って2DEG濃度を高める上では不利である。ところが、InGaP層はAlGaAs層に比較し、DXセンタと呼ばれる深い電子トラップが存在しないこと、或いは表面準位密度が少ないので表面空乏層が小さく、従ってキャリヤ供給層の層厚を薄くすることができるなどの捨てがたい利点がある。

【0048】かつて、InGaP/InGaAsヘテロ構造を用いたHEMTを試作したとの報告はなされているのであるが、前記したように、2DEG濃度を高めることができない旨の問題がある。然しながら、本発明に依れば、別の手段、即ちInGaAsチャネル層13内にInAsチャネル層19を介挿したことによって伝導帯の底に於ける不連続を大きくし、2DEG濃度を高めることができるので前記問題は解消され、InGaP/InGaAsヘテロ構造の前記利点のみを享受することができる。

【0049】図6は本発明に於ける第四実施例を解説する為のHEMTを表す要部切断側面図であり、図1に於

いて用いた記号と同記号は同部分を表すか或いは同じ意味を持つものとする。第四実施例が第一実施例と相違するところは、ノンドープIn_{0.2}Ga_{0.8}Asチャネル層13内にノンドープAlAsチャネル層19が二層になって介挿されている点にある。

【0050】ここで、チャネル層をなす各半導体層の具体的な積層構造を例示すると次の通りである。

基板側ノンドープIn_{0.2}Ga_{0.8}Asチャネル層13:厚さ3[nm]

10 ノンドープInAsチャネル層19:厚さ5[nm]
ノンドープIn_{0.2}Ga_{0.8}Asチャネル層13:厚さ2[nm]

ノンドープInAsチャネル層19:厚さ5[nm]
表面側ノンドープIn_{0.2}Ga_{0.8}Asチャネル層13:厚さ3[nm]

【0051】本発明では、結晶欠陥を発生させないようにする為、In_{0.2}Ga_{0.8}Asチャネル層13中に介挿されるInAsチャネル層19の厚さには制限があり、前記実施例に挙げた5[nm]程度が適切である。

20 然しながら、5[nm]程度の厚さでは、2DEGを完全に閉じ込めることは困難であり、より多くの2DEGをInAsチャネル層19に蓄積するには、更に厚い、例えば10[nm]～15[nm]程度にする必要がある。

【0052】第四実施例は、前記した二律背反的な条件を満足させることができる。即ち、チャネル層としてInAs/InGaAs多層構造を用いていることから、InAs層の合計した層厚は厚くなっていて、その結果、InAsチャネル層を走行する2DEGの量(割合)を大きく、そして、InGaAsチャネル層を走行する2DEGの量(割合)を小さくすることができるものであり、2DEGの移動度μは第一実施例に比較して約20[%]程度も増大することができる。

【0053】図7は本発明に於ける第五実施例を解説する為のHEMTを表す要部切断側面図であり、図1に於いて用いた記号と同記号は同部分を表すか或いは同じ意味を持つものとする。第五実施例が第一実施例と相違するところは、第二実施例と同様、ノンドープGaAsバッファ層12と基板側のノンドープIn_{0.2}Ga_{0.8}Asチャネル層13との間にノンドープAl_{0.25}Ga_{0.75}Asバッファ層20を介挿した点、及び、厚さ5[nm]のノンドープInAsチャネル層19を厚さ10[nm]のノンドープIn_{0.4}Ga_{0.6}Asチャネル層22に代替した点にある。

【0054】第四実施例の説明でも述べたように、InAsチャネル層が厚さ5[nm]程度では、InAsチャネル層を走行する2DEG濃度とInGaAsチャネル層を走行する2DEG濃度とは同程度になってしまふ。その理由は、2DEGの波動関数の深さ方向の拡がりが約10[nm]～15[nm]となるからである。

11

InAsチャネル層の厚さは臨界層厚を越えて厚くすることはできないから、InAsチャネル層の組成比をInGaAsチャネル層側の組成比に近づけて臨界層厚を厚くできるようにする必要がある。そこで、第五実施例では、InAs組成比を0.4とすることに依って、厚さが10 [nm] である In_{0.4}Ga_{0.6}As チャネル層 2 を In_{0.2}Ga_{0.8}As チャネル層 1 3 の間に介挿することを可能にしたのである。

【0055】

【発明の効果】本発明に依る高電子移動度電界効果半導体装置に於いては、InGaAsチャネル層にInAs組成比が大きいInGaAs層やInAs層そのものを介挿する簡単な改変を施すことで、チャネル層の電子親和力を増大させることが可能であり、その結果、2DEG濃度の増大及びキャリヤ移動度の増大が可能となり、性能は大きく向上する。

【図面の簡単な説明】

【図1】本発明の原理を解説する為のHEMTを表す要部切断側面図である。

【図2】図1に表したHEMTに於けるエネルギー・バンド・ダイヤグラムである。

【図3】本発明に於ける第一実施例を解説する為のHEMTを表す要部切断側面図である。

【図4】本発明に於ける第二実施例を解説する為のHEMTを表す要部切断側面図である。

【図5】本発明に於ける第三実施例を解説する為のHEMTを表す要部切断側面図である。

【図6】本発明に於ける第四実施例を解説する為のHEMTを表す要部切断側面図である。

【図7】本発明に於ける第五実施例を解説する為のHEMTを表す要部切断側面図である。

12

MTを表す要部切断側面図である。

【図8】InGaAs/AIGaAsヘテロ構造を用いたHEMTを表す要部切断側面図である。

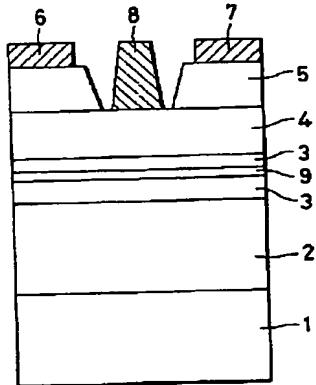
【図9】GaAs/In_xGa_{1-x}As/GaAsヘテロ構造に於けるInGaAs層臨界層厚とIn組成xとの関係を表す線図である。

【符号の説明】

1	半絶縁性GaAs基板
2	ノンドープGaAsバッファ層
3	ノンドープInGaAsチャネル層
4	n型AIGaAsキャリヤ供給層
5	n型GaAsキャップ層
6	ソース電極
7	ドレイン電極
8	ゲート電極
9	ノンドープInAsチャネル層
11	半絶縁性GaAs基板
12	ノンドープGaAsバッファ層
13	ノンドープIn _{0.2} Ga _{0.8} Asチャネル層
14	n型Al _{0.25} Ga _{0.75} Asキャリヤ供給層
15	n型GaAsキャップ層
16	ソース電極
17	ドレイン電極
18	ゲート電極
19	ノンドープInAsチャネル層
20	ノンドープAl _{0.25} Ga _{0.75} Asバッファ層
21	Siドープn型InGaPキャリヤ供給層
22	ノンドープIn _{0.4} Ga _{0.6} Asチャネル層
E _c	伝導帯の底
E _f	フェルミ・レベル

【図1】

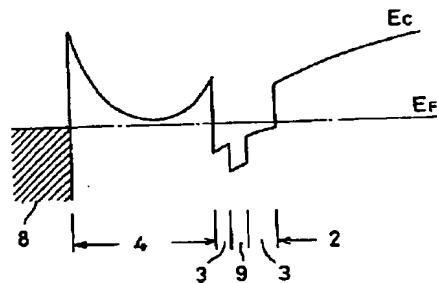
原理を解説する為のHEMTを表す要部切断側面図



1 : 半絶縁性 GaAs 基板
 2 : GaAs バッファ層
 3 : InGaAs チャネル層
 4 : AlGaAs キャリヤ供給層
 5 : GaAs キャップ層
 6 : ソース電極
 7 : ドレイン電極
 8 : ゲート電極
 9 : InAs チャネル層

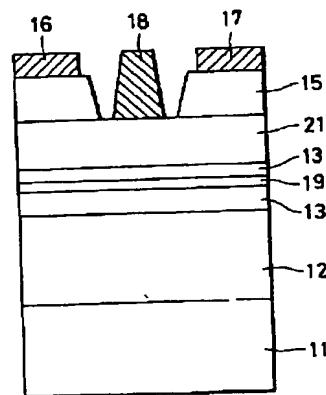
【図2】

HEMTに於けるエネルギー・バンド・ダイヤグラム



【図5】

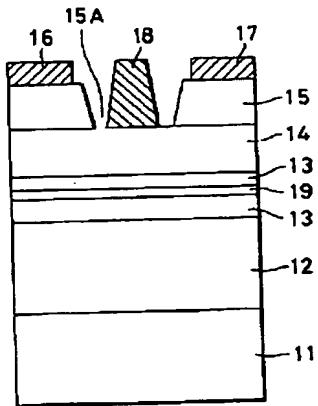
第三実施例を解説する為のHEMTを表す要部切断側面図



21 : InGaP キャリヤ供給層

【図3】

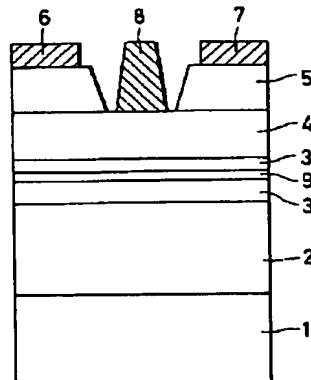
第一実施例を解説する為のHEMTを表す要部切断側面図



- 11: 半絶縁性 GaAs 基板
- 12: GaAs パッファ層
- 13: In_x Ga_{1-x} As チャネル層
- 14: Al_y Ga_{1-y} As キャリヤ供給層
- 15: GaAs キャップ層
- 15A: ゲート・リセス
- 16: ソース電極
- 17: ドレイン電極
- 18: ゲート電極
- 19: InAs チャネル層

【図4】

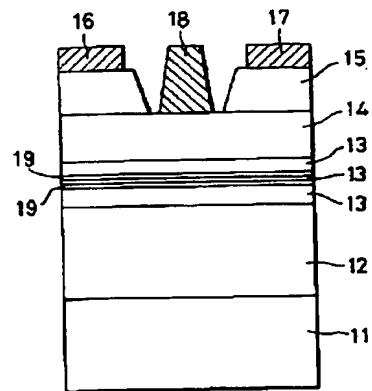
第二実施例を解説する為のHEMTを表す要部切断側面図



- 20: ノンドープ Al_{0.25} Ga_{0.75} As パッファ層

【図6】

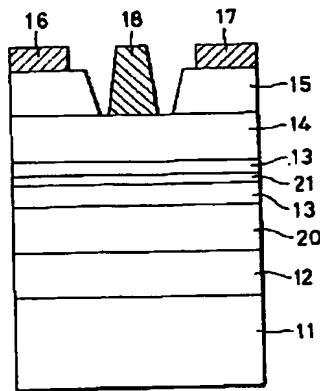
第四実施例を解説する為のHEMTを表す要部切断側面図



19:InAsチャネル層

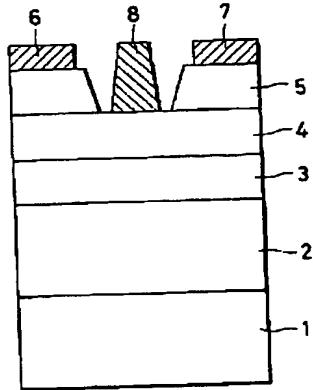
【図7】

第五実施例を解説する為のHEMTを表す要部切断側面図

20:ノンドープAl_{0.25}Ga_{0.75}Asバッファ層
22:ノンドープIn_{0.4}Ga_{0.6}Asチャネル層

【図8】

InGaAs/AlGaAs ヘテロ構造を用いたHEMT
を表す要部切断側面図



- 1 : 半絶縁性 GaAs 基板
- 2 : GaAs パッファ層
- 3 : InGaAs チャネル層
- 4 : AlGaAs キャリヤ供給層
- 5 : GaAs キャップ層
- 6 : ソース電極
- 7 : ドレイン電極
- 8 : ゲート電極

【図9】

GaAs/In_xGa_{1-x}As/GaAs ヘテロ構造の
InGaAs 層界面層厚と In 組成 x の関係を表す線図

